PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2001-168339**

(43)Date of publication of application : **22.06.2001**

---

(51)Int.Cl.

H01L 29/786
H01L 21/336
G02F 1/1368
G09F 9/00
G09F 9/30

---

(21)Application number : **11-348552**

(22)Date of filing : **08.12.1999**

(71)Applicant : **SHARP CORP**

(72)Inventor : **KIYOUHO MASANORI**

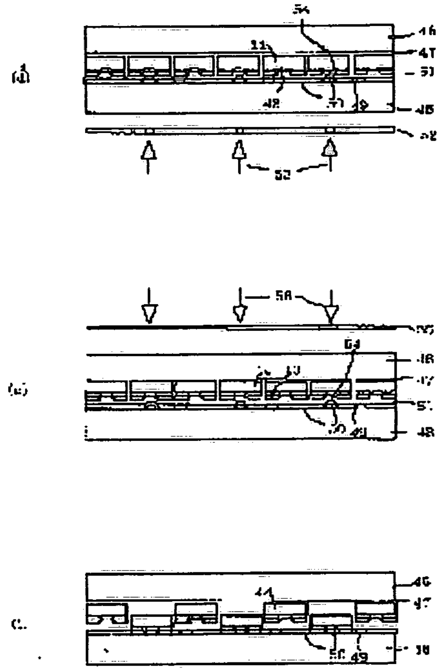
---

(54) METHOD FOR FORMING TRANSISTOR ARRAY PANEL FOR DISPLAY

(57)Abstract:

PROBLEM TO BE SOLVED: To solve a problem that, when a high-definition TFT array panel is formed, alignment and the posture control of the panel are very difficult, that, after a TFT element is selected so as to be transferred to a panel for display, it is required to connect every electrode of the TFT element to a data signal line, a scanning signal line or the like by using a contact hole working operation, that it is required to create a margin part for contact hole formation for every electrode, and that the area of the TFT element becomes large.

SOLUTION: From a second substrate, elements exclusive of gate electrodes are arranged at a pitch of dx/m obtained by dividing the arrangement pitch dx in one direction of pixels by a natural number (m) of two or more, and at a pitch of dy/n obtained by dividing the arrangement pitch dy in the other direction by a natural number (n) of two or more. Only the elements which correspond to the arrangement pitch dx and the arrangement pitch dy of the pixels are transferred selectively to a first substrate, on which data signal lines and scanning signal lines serving as the role of the gate electrodes at a time when the elements are transferred are formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]
[Claim 1] The process which forms a data signal line and the scan signal line which serves as the role of a gate electrode when a component is imprinted on the 1st substrate, The pitch of dx/m which **(ed) the array pitch dx to the one direction of a pixel with the two or more natural numbers m on the 2nd substrate, And the process which forms the component except the gate polar zone in the pitch of dy/n which **(ed) the array pitch dy to the other directions with the two or more natural numbers n, The formation approach of the transistor array panel for a display characterized by having the process which imprints alternatively only the component corresponding to the array pitches dx and dy of said pixel to said 1st substrate among the components prepared on said 2nd substrate.
[Claim 2] The process which forms a data signal line and the scan signal line which serves as the role of a gate electrode when a component is imprinted on the 1st substrate, The pitch of dx/m which **(ed) the array pitch dx to the one direction of a pixel with the two or more natural numbers m on the 2nd substrate, And the process which forms the component except the gate polar zone in the pitch of dy/n which **(ed) the array pitch dy to the other directions with the two or more natural numbers n, The process which carries out the whole imprint of the component formed on said 2nd substrate on the 3rd substrate, The process which said 2nd substrate is removed [process] and carries out the isolated array of said component on said 3rd substrate, The formation approach of the transistor array panel for a display characterized by having the process which imprints alternatively only the component corresponding to the array pitches dx and dy of said pixel to said 1st substrate among the components imprinted on said 3rd substrate.
[Claim 3] An imprint on [whole] the 3rd [of the component on said 2nd substrate / said] substrate The adhesives to which adhesive strength falls by light perform. The selection imprint of a up to [the 1st / of the component on said 3rd substrate / said / substrate] The formation approach of the transistor array panel for a display according to claim 2 characterized by performing only the component set as the object of an imprint by the optical exposure to the part of the component corresponding to the array pitches dx and dy of said pixel from the rear face of said 3rd substrate by exfoliating from said 3rd substrate alternatively.
[Claim 4] Said component is the formation approach of the transistor array panel for a display according to claim 1 to 3 characterized by being the thin film transistor of a reverse stagger mold.

[Translation done.]

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]
[0001]
[Field of the Invention] This invention has switching elements, such as a thin film transistor (henceforth TFT), and relates to the transistor array panel for a display used for a display.
[0002]
[Description of the Prior Art] Conventionally, there are some which are indicated by JP,11-142878,A as the formation approach of the transistor array panel for a display used for the display of a computer, a TV apparatus, etc.
[0003] At JP,11-142878,A, Si oxide film is first formed on Si substrate, and a TFT component is formed on it in the pitch of dx/m and dy/n which **(ed) the array pitches dx and dy of the pixel of the transistor array panel for a display made into the purpose with the two or more natural numbers m and n. then -- among these, the TFT component corresponding to the array pitches dx and dy of the above-mentioned pixel -- alternative -- the predetermined location on the above-mentioned panel for a display -- an imprint -- the method of obtaining the transistor array panel for a display by things is indicated.
[0004]
[Problem(s) to be Solved by the Invention] However, there are the following problems in the formation approach of the transistor array panel for a display currently indicated by the above-mentioned official report.
[0005] That is, by the approach currently indicated in the above-mentioned official report, there is a problem about the imprint location precision of a TFT component and the source, the gate, and the wiring process of drain each terminal.
[0006] First, therefore by the imprint approach which rearranges to ** the TFT component densely formed on the substrate currently indicated by the above-mentioned official report, relative physical relationship with the data signal line and scan signal line which were beforehand formed on the TFT component imprinted from Si substrate top and the substrate for transistor arrays for a display is determined only as each formation pitch accuracy. Therefore, in formation of the transistor array panel for a highly minute display which needs the attitude control of the alignment precision of about at least 1 micrometer, and the direction of four directions, alignment and attitude control become very difficult. When imprinting to a resin film with a big coefficient of thermal expansion especially, it is guessed that alignment precision and attitude control tend to be spoiled by local temperature / stress fluctuation before and behind positioning.
[0007] On the other hand, in the above-mentioned official report, when the whole TFT component forms the crevice by which fitting is carried out in the position on the substrate with which the selection imprint of the TFT component is carried out and forms an adhesives layer in it alternatively, it is supposed that the alignment accuracy and attitude control in the case of an imprint can be performed easily. However, there is a problem that attitude control cannot be performed only by forming a crevice although positioning accuracy is raised.
[0008] Moreover, in the above-mentioned official report, since the TFT component by which imprint adhesion was carried out is in the condition which became independent electrically after carrying out the selection imprint of the TFT component on the substrate for transistor arrays for a display, after wiring a data signal line, a source electrode and a scan signal line, and a gate electrode and forming a pixel electrode further, it is necessary to wire a drain electrode and a pixel electrode. As an actual process, in order to protect a TFT component in the cases, such as TFT isolation etching, the contact hole for

electrode connection is formed in Si oxide film which covers a TFT component and is formed by punching etching, and connection between a data signal line, a scan signal line, and each electrode of a TFT component is made. Therefore, it is necessary to create the allowances cost part for contact hole formation to each electrodes, and there is a problem that one TFT component will become large.

[0009]

[Means for Solving the Problem] It is made in order that this invention may solve the above-mentioned conventional trouble. The 1st invention The process which forms a data signal line and the scan signal line which serves as the role of a gate electrode when a component is imprinted on the 1st substrate, The pitch of dx/m which **(ed) the array pitch dx to the one direction of a pixel with the two or more natural numbers m on the 2nd substrate, And the process which forms the component except the gate polar zone in the pitch of dy/n which **(ed) the array pitch dy to the other directions with the two or more natural numbers n, It is the formation approach of the transistor array panel for a display characterized by having the process which imprints alternatively only the component corresponding to the array pitches dx and dy of said pixel to said 1st substrate among the components prepared on said 2nd substrate.

[0010] Moreover, the process which forms the scan signal line which serves as the role of a gate electrode when the 2nd invention imprints a data signal line and a component on the 1st substrate, The pitch of dx/m which **(ed) the array pitch dx to the one direction of a pixel with the two or more natural numbers m on the 2nd substrate, And the process which forms the component except the gate polar zone in the pitch of dy/n which **(ed) the array pitch dy to the other directions with the two or more natural numbers n, The process which carries out the whole imprint of the component formed on said 2nd substrate on the 3rd substrate, The process which said 2nd substrate is removed [process] and carries out the isolated array of said component on said 3rd substrate, It is the formation approach of the transistor array panel for a display characterized by having the process which imprints alternatively only the component corresponding to the array pitches dx and dy of said pixel to said 1st substrate among the components imprinted on said 3rd substrate.

[0011] The 3rd invention furthermore, an imprint on [whole] the 3rd [of the component on said 2nd substrate / said] substrate The adhesives to which adhesive strength falls by light perform. The selection imprint of a up to [the 1st / of the component on said 3rd substrate / said / substrate] By the optical exposure to the part of the component corresponding to the array pitches dx and dy of said pixel from the rear face of said 3rd substrate It is the formation approach of the transistor array panel for a display the 2nd invention characterized by performing only the component set as the object of an imprint by exfoliating from said 3rd substrate alternatively.

[0012] Moreover, the 4th invention is the formation approach of the 1st characterized by said component being the thin film transistor of a reverse stagger mold thru/or the transistor array panel for a display the 3rd invention.

[0013]

[Embodiment of the Invention] Hereafter, this invention is explained to a detail based on drawing.

[0014] Drawing 1 and drawing 2 are drawings showing the procedure of the formation approach of the transistor array panel for a display. In addition, the glass substrate is used as the 3rd substrate here, using Si substrate as the 2nd substrate, using Si substrate or a glass substrate as the 1st substrate.

[0015] As shown in drawing 1 (a), the conventional gate electrode pattern 42 is formed using resin removable [with a photoresist or an organic solvent] on the Si substrate 41 (the 2nd substrate). After forming the Si oxide film 43 as a transparence insulator layer on it, a well-known component formation process including the photograph process using i line spatter is performed, the isolation slot 45 is separated and the TFT component 44 except the gate rye polar zone is formed in a predetermined pitch.

[0016] Here, the above-mentioned pitch is value dx/m and dy/n which **(ed) the array pitches dx and dy of the pixel dot of the transistor array panel for a display made into the purpose with the natural numbers m and n more than "2."

[0017] Moreover, the structure of the TFT component 44 formed here is a component except the TFT component of the reverse stagger structure shown in drawing 4 to the gate polar zone.

[0018] Next, as shown in drawing 1 (b), on the above-mentioned TFT component 44, UV exfoliation resin 47 is applied and the glass substrate 46 (the 3rd substrate) as a light transmission nature substrate is stuck. Here, as UV exfoliation resin 47, UV hardening mold binder with which adhesive strength declines by acrylic resin and UV irradiation of silicon (meta) acrylate addition is used.

[0019] Next, as shown in drawing 1 (c), after an organic solvent removes the gate electrode pattern 42 which carried out etching removal of the Si substrate 41 (the 2nd substrate) in the potassium-hydroxide

water solution, and was formed by the photoresist or resin, it changes into the condition that performed TFT isolation etching to the Si oxide film 43 of the part of the TFT isolation slot 45, and each TFT component 44 was isolated.
[0020] Next, as shown in drawing 1 (d), the data signal line 49 and the scan signal line 50 are formed in the glass substrate 48 (the 1st substrate) for the transistor panels for a display.
[0021] Next, what applied adhesion resin 51 to the TFT component formation section of the glass substrate 48 for the transistor panels for a display is made to approach a glass substrate (the 2nd substrate) 46, as shown in drawing 2 (d'), performing alignment.
[0022] Next, semi-hardening of the ultraviolet rays 53 is irradiated and carried out to the part located in the part of the TFT component 44 set as the object of the imprint in adhesion resin 51 (a pixel is constituted behind) using a photo mask 52, an adhesive property is raised, the semi-hardening part 54 is forced on the rear face of the TFT component 44 for an imprint, and a glass substrate 48 (the 1st substrate) is stuck.
[0023] In that case, by carrying out fitting of the crevice of TFT component 44 rear face, and the heights (adhesion resin semi-hardening part 54) of the scan signal line 50 on a glass substrate 48 (the 1st substrate), alignment accuracy can be raised and the posture of a TFT component can be controlled.
[0024] In addition, as adhesion resin 51, UV hardening resin of an acrylate system, UV hardening epoxy system resin, etc. are used, for example.
[0025] Then, as shown in drawing 1 (e), using a photo mask 55, from a glass substrate 46 (3rd substrate) side, ultraviolet rays 56 are irradiated alternatively at the part of the part of the TFT component 44 for [in UV exfoliation resin 47] an imprint, the adhesive strength of UV exfoliation resin 47 is reduced, and adhesion with the TFT component 44 is reduced.
[0026] By the above processing, the TFT component 44 for [above-mentioned] an imprint is isolated in the TFT component 44 which adjoins, and, as for UV exfoliation resin 47 between glass substrates 46 (the 3rd substrate), adhesive strength is declining.
[0027] Therefore, as shown in drawing 1 (f), only the TFT component 44 for an imprint is moved to the glass substrate 48 (the 1st substrate) for the transistor panels for a display (imprint adhesion is carried out). And imprint adhesion of the unexposed TFT component 44 is not carried out at a glass substrate 48 (the 1st substrate). In addition, unexposed adhesion resin 47 is removed after the selection imprint.
[0028] Finally, formation processing of the passive element section is performed. As formation processing of this passive element section is shown in drawing 3 (the (a) top view, (b) sectional view), the TFT component 44 by which imprint adhesion was carried out by the array pitches dx and dy of a pixel dot on the glass substrate 48 (the 1st substrate) for the above-mentioned transistor panels for a display is wired in the source electrode wiring 61 for connecting with the data signal line 49, and the drain electrode wiring 62. Furthermore, the pixel electrode 63 for a liquid crystal drive connected to the drain electrode wiring 62 is formed.
[0029] In order to protect the TFT component 44 in the cases, such as TFT isolation etching in above-mentioned drawing 1 (c), using for example, the polyimide film as an insulator layer between wiring, the contact hole for electrode connection is opened for example, in Si oxide film (not shown) which covers the TFT component 44 and is formed, and, specifically, it forms in it by etching. And connection between the data signal line 49 on a glass substrate 48 (the 1st substrate) and the pixel electrode 63, and each electrode of the TFT component 44 is made using the above-mentioned source electrode wiring 61 and the drain electrode wiring 62.
[0030] In addition, the pixel electrode 63 may be beforehand formed on a glass substrate 48 (the 1st substrate), before imprint adhesion of the TFT component 44 is carried out.
[0031] Drawing 4 (a) and (b) are the sectional views and plans of an example of a general reverse stagger mold TFT component. [of structure]
[0032] With the reverse stagger TFT component, the gate electrode 101 is formed in the channel layer 104 bottom linked to the source electrode 102 and the drain electrode 103 through gate dielectric film 105 and the metal oxide film 106. In addition, 107,108 is an ohmic contact layer and 110 is a contact hole to the source electrode 102 formed in the Si oxide film 109. Moreover, 111 is a contact hole to the drain electrode 103, and 112 is a contact hole to a gate electrode.
[0033] In addition, the structure of the reverse stagger mold TFT component except the gate polar zone of this invention is the structure excluding the gate polar zone 101 and the metal oxide film 106 from drawing 4 (a).
[0034] As mentioned above, in this invention, the gate electrode pattern was formed by the photoresist

etc. on the 1st substrate, upwards, the isolation slot 45 is separated and the TFT component 44 is formed by pitch dx/m and dy/n. Here, dx and dy are the array pitches of a pixel dot, and m and n are the natural numbers more than "2." And after sticking the 3rd substrate on the TFT component 44 side by UV exfoliation resin 47, etching removal of the 2nd substrate 41 is carried out, TFT isolation etching is performed, and each TFT component 44 is made to separate. And by carrying out fitting of the crevice on the rear face of a TFT component, and the scan signal-line heights on the 1st substrate Only the TFT component 44 for an imprint is alternatively pasted up on the 1st substrate by adhesion resin 51. Ultraviolet rays 62 are alternatively irradiated from a 3rd substrate side in the part of the TFT component 44 for an imprint, the adhesive strength of UV exfoliation resin 47 is reduced, and the selection imprint only of the TFT (that is, pixel is constituted) component 44 for an imprint is carried out at the 1st substrate.

[0035] Therefore, compared with the conventional approach, it does not come out of the alignment accuracy in the case of the expansion imprint to the pitches dx and dy on the 1st [of pitch dx/m on the substrate of the above 3rd, and the TFT component 44 of dy/n] substrate with a sufficient precision as much as possible, and it becomes possible to also perform 44 attitude control of a TFT component.

[0036] In formation processing of the passive element section, moreover, the imprinted TFT component 44 rear-face crevice and the heights of the scan signal line 49 which fitted in In order to function as a gate electrode of a TFT array, without newly wiring, Since wiring between gate electrode-scan signal lines becomes unnecessary, and the allowances cost for contact hole formation to a gate electrode becomes unnecessary while becoming possible to shorten the wiring process for every TFT array, Magnitude of one TFT component is made small and it becomes possible to raise productivity of it more.

[0037] In addition, although removed in the above by carrying out etching processing of the 2nd substrate in a potassium-hydroxide water solution, this invention is not limited to this and may perform separation and removal of the 2nd substrate by forming the sacrifice layer for substrate separation beforehand on the 2nd substrate for example.

[0038] Moreover, in the above, the selection imprint is performed using the property of UV exfoliation resin over ultraviolet rays. However, this invention is not limited to this and may perform a selection imprint using the electrostatic attraction and electromagnetic force from one side or both sides of the substrate by the side of an imprint.

[0039]

[Effect of the Invention] As mentioned above, according to the formation approach of the transistor array panel for a display invention concerning this invention, compared with the conventional approach, it does not come out of the alignment accuracy in the case of the selection imprint to up to the 1st substrate (transistor array panel for a display) from the 2nd substrate or 3rd substrate with a sufficient precision as much as possible, and it becomes possible to also perform attitude control of a TFT component so that clearly.

[0040] Moreover, since the imprinted TFT array and the scan signal-line part which fitted in function as a gate line of a TFT array, without newly wiring, wiring of a gate electrode and a scan signal line becomes unnecessary, and it becomes possible [shortening the wiring process for every TFT array].

[Translation done.]

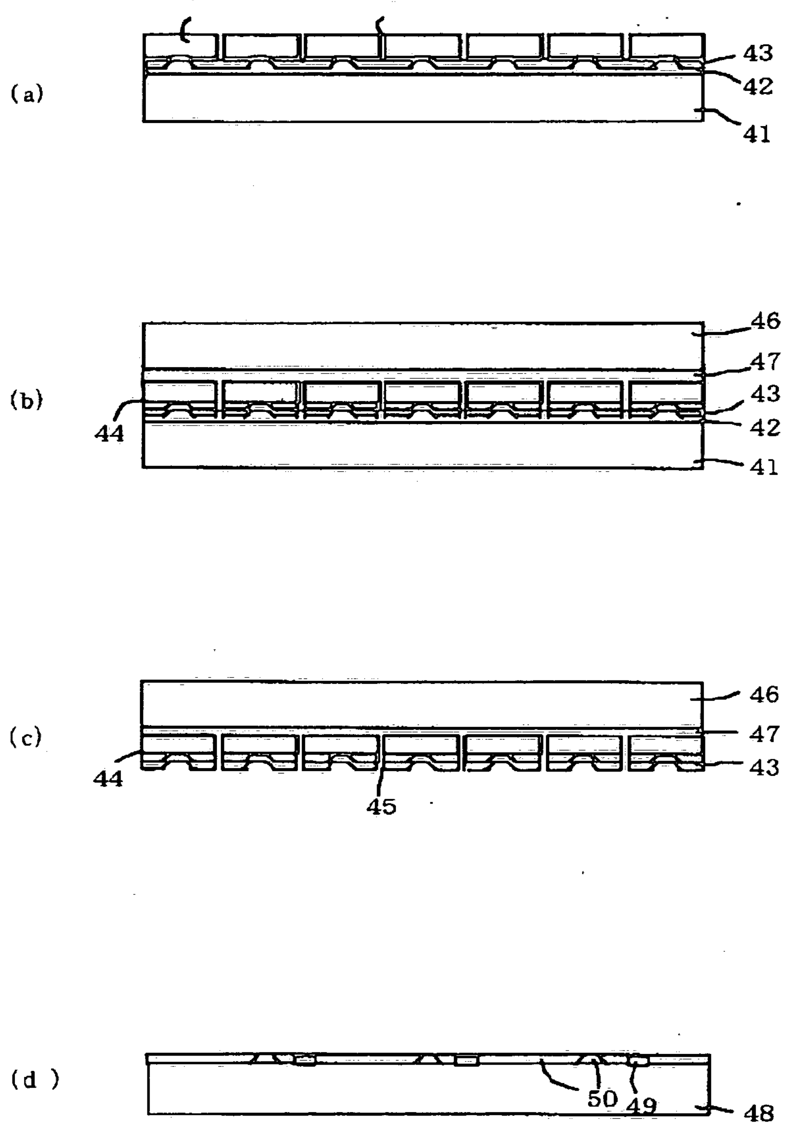
* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

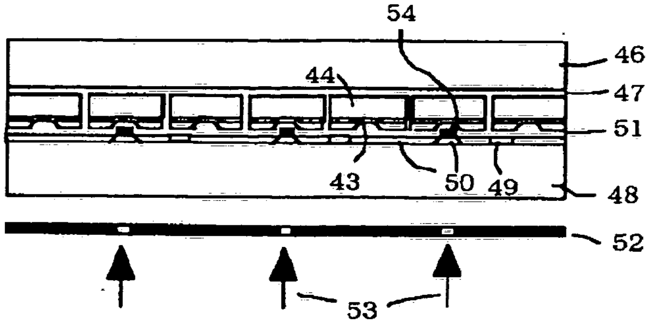
DRAWINGS

[Drawing 1]

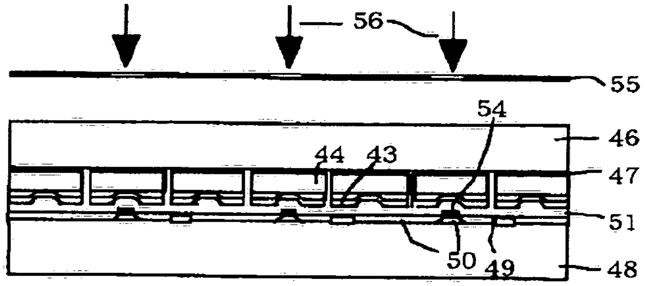


[Drawing 2]

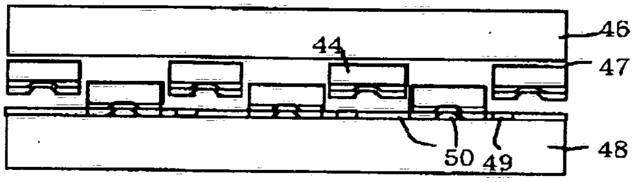
(d)



(e)

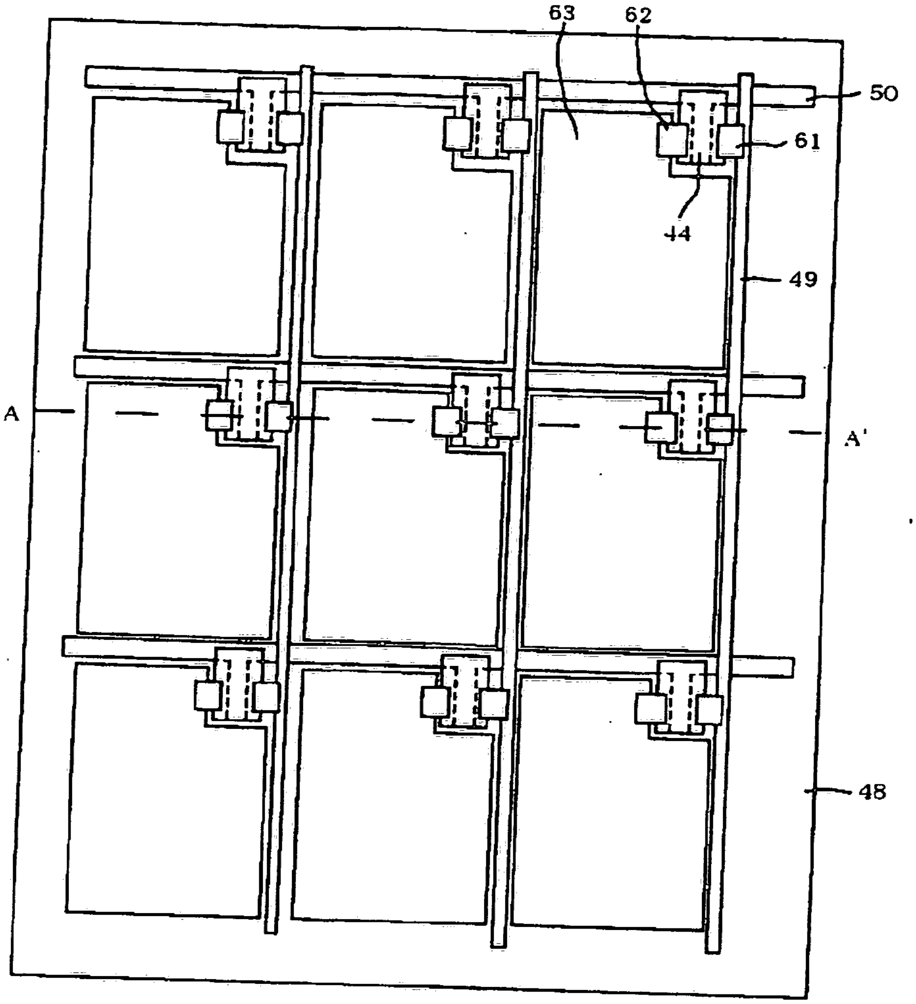


(f)



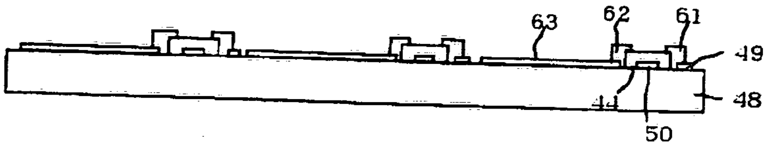
[Drawing 3]

(a)



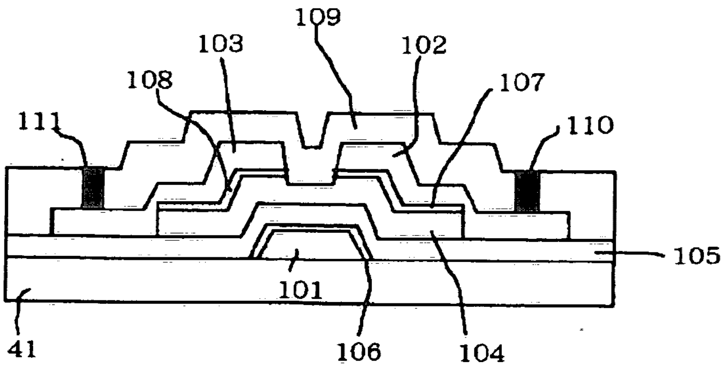
(b)

（A−A’断面図）

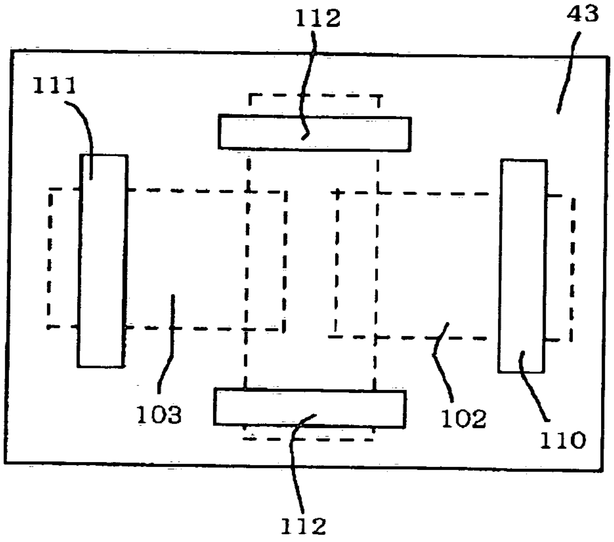


[Drawing 4]

(a)



(b)



[Translation done.]

(19)日本国特許庁（ＪＰ）

(12)**公開特許公報**（Ａ）

(11)特許出願公開番号
特開2001－168339
（P2001－168339A）

(43)公開日　平成13年6月22日(2001.6.22)

(51)Int.Cl.⁷	識別記号	ＦＩ		テーマコード＊（参考）
ＨＯ１Ｌ　29/786		ＧＯ９Ｆ　9/00	３３８	２Ｈ０９２
21/336		9/30	３３８	５Ｃ０９４
ＧＯ２Ｆ　1/1368		ＨＯ１Ｌ　29/78	６２７Ｄ	５Ｆ１１０
ＧＯ９Ｆ　9/00	３３８	ＧＯ２Ｆ　1/136	５００	５Ｇ４３５
9/30	３３８	ＨＯ１Ｌ　29/78	６１２Ｄ	

審査請求　未請求　請求項の数４　ＯＬ　（全　９　頁）

(21)出願番号　特願平11－348552

(22)出願日　平成11年12月8日(1999.12.8)

(71)出願人　000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号

(72)発明者　享保　昌則
大阪府大阪市阿倍野区長池町22番22号　シャープ株式会社内

(74)代理人　100103296
弁理士　小池　隆彌

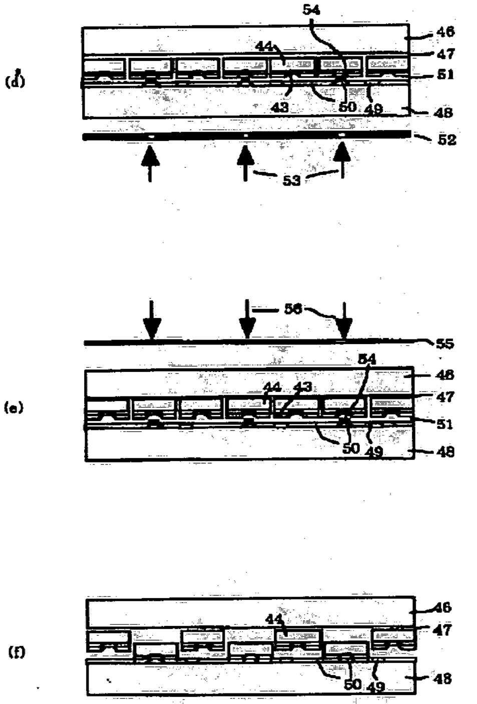
最終頁に続く

(54)【発明の名称】　表示用トランジスタアレイパネルの形成方法

(57)【要約】

【課題】　高精細ＴＦＴアレイパネルの形成において、位置合わせ、姿勢制御が非常に困難であり、また、ＴＦＴ素子を表示用パネルに選択転写した後、コンタクトホール加工を用いてＴＦＴ素子の各電極とデータ信号線，走査信号線等を接続する必要性があるため、各電極用にコンタクトホール形成用の余裕代部分を作成する必要があり、ＴＦＴ素子面積が大きくなってしまうという問題がある。

【解決手段】　データ信号線と、素子を転写した際にゲート電極の役割を兼ねる走査信号線とを形成した第１の基板に、画素の一方向への配列ピッチｄｘを２以上の自然数ｍで除したｄｘ/ｍのピッチ、および、他方向への配列ピッチｄｙを２以上の自然数ｎで除したｄｙ/ｎのピッチでゲート電極部を除く素子を形成した第２の基板から、前記画素の配列ピッチｄｘ，ｄｙに対応する素子のみを選択的に転写する。



【特許請求の範囲】

【請求項１】　第１の基板上に、データ信号線と、素子を転写した際にゲート電極の役割を兼ねる走査信号線とを形成する工程と、
第２の基板上に、画素の一方向への配列ピッチｄｘを２以上の自然数ｍで除したｄｘ/ｍのピッチ、および、他方向への配列ピッチｄｙを２以上の自然数ｎで除したｄｙ/ｎのピッチでゲート電極部を除く素子を形成する工程と、
前記第２の基板上に設けられた素子のうち、前記画素の配列ピッチｄｘ,ｄｙに対応する素子のみを選択的に前記第１の基板に転写する工程とを備えたことを特徴とする表示用トランジスタアレイパネルの形成方法。

【請求項２】　第１の基板上に、データ信号線と、素子を転写した際にゲート電極の役割を兼ねる走査信号線とを形成する工程と、
第２の基板上に、画素の一方向への配列ピッチｄｘを２以上の自然数ｍで除したｄｘ/ｍのピッチ、および、他方向への配列ピッチｄｙを２以上の自然数ｎで除したｄｙ/ｎのピッチでゲート電極部を除く素子を形成する工程と、
前記第２の基板上に形成された素子を第３の基板上に全体転写する工程と、
前記第２の基板を除去して、前記素子を前記第３の基板上に孤立配列させる工程と、
前記第３の基板上に転写された素子のうち、前記画素の配列ピッチｄｘ,ｄｙに対応する素子のみを選択的に前記第１の基板に転写する工程とを備えたことを特徴とする表示用トランジスタアレイパネルの形成方法。

【請求項３】　前記第２の基板上の素子の前記第３の基板上への全体転写は、光によって接着力が低下する接着剤によって行い、
前記第３の基板上の素子の前記第１の基板上への選択転写は、前記第３の基板の裏面から前記画素の配列ピッチｄｘ,ｄｙに対応する素子の箇所への光照射によって転写の対象となる素子のみを選択的に前記第３の基板から剥離することによって行うことを特徴とする請求項２記載の表示用トランジスタアレイパネルの形成方法。

【請求項４】　前記素子は、逆スタガ型の薄膜トランジスタであることを特徴とする請求項１乃至請求項３に記載の表示用トランジスタアレイパネルの形成方法。

【発明の詳細な説明】

【０００１】

【発明の技術分野】本発明は、薄膜トランジスタ(以下、ＴＦＴと言う)等のスイッチング素子を有して、ディスプレイに使用される表示用トランジスタアレイパネルに関するものである。

【０００２】

【従来の技術】従来、コンピュータやテレビジョン装置等のディスプレイに使用される表示用トランジスタアレイパネルの形成方法として、例えば、特開平１１－１４２８７８号公報に開示されているようなものがある。

【０００３】特開平１１－１４２８７８号公報では、まずＳｉ基板上にＳｉ酸化膜を形成し、その上に目的とする表示用トランジスタアレイパネルの画素の配列ピッチｄｘ、ｄｙを２以上の自然数ｍ、ｎで除したｄｘ/ｍ、ｄｙ/ｎのピッチでＴＦＴ素子を形成する。続いて、このうち、上記画素の配列ピッチｄｘ,ｄｙに対応するＴＦＴ素子のみを選択的に上記表示用パネル上の所定位置に転写ことによって表示用トランジスタアレイパネルを得る方法が開示されている。

【０００４】

【発明が解決しようとする課題】しかしながら、上記公報に開示されている表示用トランジスタアレイパネルの形成方法には、以下のような問題がある。

【０００５】すなわち、上記公報で開示されている方法では、ＴＦＴ素子の転写位置精度、およびソース、ゲート、ドレイン各端子の配線工程について問題がある。

【０００６】まず、上記公報に開示されている基板上に密に形成されたＴＦＴ素子を粗に配置し直す転写方法では、Ｓｉ基板上より転写されるＴＦＴ素子と表示用トランジスタアレイ用基板上にあらかじめ形成された、データ信号線および走査信号線との相対的な位置関係が、それぞれの形成ピッチ精度のみに因って決定される。そのため、少なくとも１μｍ程度の位置合わせ精度と上下左右方向の姿勢制御が必要な高精細表示用トランジスタアレイパネルの形成においては、位置合わせ、姿勢制御が非常に困難となる。特に、熱膨張係数の大きな樹脂フィルムへ転写する場合には、位置決め前後の局所的な温度/応力変動によって位置合わせ精度や姿勢制御が損なわれ易いと推察される。

【０００７】これに対して、上記公報では、ＴＦＴ素子が選択転写される基板上の所定の位置に、ＴＦＴ素子全体が嵌合される凹部を形成し、接着剤層を選択的に形成することにより、転写の際の位置合せ精度や姿勢制御を容易に行えるとしている。しかしながら、凹部を形成するだけでは位置決め精度は向上させられるものの、姿勢制御を行うことはできないという問題がある。

【０００８】また、上記公報では、ＴＦＴ素子を表示用トランジスタアレイ用基板上に選択転写した後、転写接着されたＴＦＴ素子は電気的に独立した状態であるため、データ信号線とソース電極、走査信号線とゲート電極を配線し、さらに画素電極を形成した後、ドレイン電極と画素電極を配線する必要がある。実際の工程としては、ＴＦＴ素子分離エッチング等の際にＴＦＴ素子を保護するためにＴＦＴ素子を覆って形成されているＳｉ酸化膜等に電極接続用のコンタクトホールを穴あけエッチングで形成し、データ信号線や走査信号線とＴＦＴ素子の各電極との接続を行っている。従って、各電極用にコンタクトホール形成用の余裕代部分を作成する必要があ

り、１つのＴＦＴ素子が大きくなってしまうという問題がある。

【０００９】

【課題を解決するための手段】本発明は上記従来の問題点を解決するためになされたものであり、第１発明は、第１の基板上に、データ信号線と、素子を転写した際にゲート電極の役割を兼ねる走査信号線とを形成する工程と、第２の基板上に、画素の一方向への配列ピッチｄｘを２以上の自然数ｍで除したｄｘ/ｍのピッチ、および、他方向への配列ピッチｄｙを２以上の自然数ｎで除したｄｙ/ｎのピッチでゲート電極部を除く素子を形成する工程と、前記第２の基板上に設けられた素子のうち、前記画素の配列ピッチｄｘ，ｄｙに対応する素子のみを選択的に前記第１の基板に転写する工程とを備えたことを特徴とする表示用トランジスタアレイパネルの形成方法である。

【００１０】また、第２発明は、第１の基板上に、データ信号線と、素子を転写した際にゲート電極の役割を兼ねる走査信号線とを形成する工程と、第２の基板上に、画素の一方向への配列ピッチｄｘを２以上の自然数ｍで除したｄｘ/ｍのピッチ、および、他方向への配列ピッチｄｙを２以上の自然数ｎで除したｄｙ/ｎのピッチでゲート電極部を除く素子を形成する工程と、前記第２の基板上に形成された素子を第３の基板上に全体転写する工程と、前記第２の基板を除去して、前記素子を前記第３の基板上に孤立配列させる工程と、前記第３の基板上に転写された素子のうち、前記画素の配列ピッチｄｘ，ｄｙに対応する素子のみを選択的に前記第１の基板に転写する工程とを備えたことを特徴とする表示用トランジスタアレイパネルの形成方法である。

【００１１】さらに、第３発明は、前記第２の基板上の素子の前記第３の基板上への全体転写は、光によって接着力が低下する接着剤によって行い、前記第３の基板上の素子の前記第１の基板上への選択転写は、前記第３の基板の裏面から前記画素の配列ピッチｄｘ，ｄｙに対応する素子の箇所への光照射によって転写の対象となる素子のみを選択的に前記第３の基板から剥離することによって行うことを特徴とする第２発明の表示用トランジスタアレイパネルの形成方法である。

【００１２】また、第４発明は、前記素子は、逆スタガ型の薄膜トランジスタであることを特徴とする第１乃至第３発明の表示用トランジスタアレイパネルの形成方法である。

【００１３】

【発明の実施の形態】以下、本発明について、図をもとに詳細に説明する。

【００１４】図１および図２は表示用トランジスタアレイパネルの形成方法の手順を示す図である。なお、ここでは、第１の基板としてＳｉ基板またはガラス基板を用い、第２の基板としてＳｉ基板を用い、第３の基板としてガラス基板を用いている。

【００１５】図１（ａ）に示すように、Ｓｉ基板４１（第２の基板）上にフォトレジストあるいは有機溶剤により除去可能な樹脂を用いて、従来のゲート電極パターン４２を形成する。その上に透明絶縁膜としてＳｉ酸化膜４３を形成した後、ｉ線スパッタを用いたフォトプロセスを含む公知の素子形成プロセスを行って、ゲートライ電極部を除くＴＦＴ素子４４を素子分離溝４５を隔てて所定のピッチで形成する。

【００１６】ここで、上記ピッチは、目的とする表示用トランジスタアレイパネルの画素ドットの配列ピッチｄｘ，ｄｙを、「２」以上の自然数ｍ，ｎで除した値ｄｘ/ｍ，ｄｙ/ｎである。

【００１７】また、ここで形成するＴＦＴ素子４４の構造は図４に示す逆スタガ構造のＴＦＴ素子からゲート電極部を除いた素子である。

【００１８】次に、図１（ｂ）に示すように、上記ＴＦＴ素子４４上にＵＶ剥離樹脂４７を塗布し、光透過性基板としてのガラス基板４６（第３の基板）を張り付ける。ここで、ＵＶ剥離樹脂４７としては、シリコン(メタ)アクリレート添加のアクリル系樹脂や紫外線照射で接着力が低下するＵＶ硬化型粘着剤等を用いる。

【００１９】次に、図１（ｃ）に示すように、Ｓｉ基板４１（第２の基板）を水酸化カリウム水溶液でエッチング除去し、フォトレジストあるいは樹脂で形成されたゲート電極パターン４２を有機溶剤で除去した後、ＴＦＴ素子分離溝４５の箇所のＳｉ酸化膜４３に対してＴＦＴ素子分離エッチングを行って個々のＴＦＴ素子４４を孤立した状態にする。

【００２０】次に、図１（ｄ）に示すように、表示用トランジスタパネル用のガラス基板４８（第１の基板）に、データ信号線４９および走査信号線５０を形成する。

【００２１】次に、図２（ｄ´）に示すように、表示用トランジスタパネル用のガラス基板４８のＴＦＴ素子形成部に接着樹脂５１を塗布したものを、アライメントを行いつつガラス基板（第２の基板）４６に近接させる。

【００２２】次に、フォトマスク５２を用いて、接着樹脂５１における転写の対象となる（後に画素を構成する）ＴＦＴ素子４４の箇所に位置する部分に紫外線５３を照射して半硬化させて接着性を高め、その半硬化部分５４を転写対象のＴＦＴ素子４４の裏面に押し付けてガラス基板４８（第１の基板）を貼り合わせる。

【００２３】その際、ＴＦＴ素子４４裏面の凹部とガラス基板４８（第１の基板）上の走査信号線５０の凸部（接着樹脂半硬化部分５４）を嵌合させることにより、位置合せ精度を向上させ、ＴＦＴ素子の姿勢を制御することができる。

【００２４】なお、接着樹脂５１としては、例えばアクリレート系のＵＶ硬化樹脂やＵＶ硬化エポキシ系樹脂等

を用いる。

【００２５】その後、図１（ｅ）に示すように、フォトマスク５５を用いて、ガラス基板４６（第３の基板）側から、ＵＶ剥離樹脂４７における転写対象のＴＦＴ素子４４の箇所の部分に紫外線５６を選択的に照射して、ＵＶ剥離樹脂４７の接着力を低下させて、ＴＦＴ素子４４との密着性を低減させる。

【００２６】以上の処理によって、上記転写対象のＴＦＴ素子４４は隣接しているＴＦＴ素子４４とは孤立しており、ガラス基板４６（第３の基板）との間のＵＶ剥離樹脂４７は接着力が低下している。

【００２７】したがって、図１（ｆ）に示すように、表示用トランジスタパネル用のガラス基板４８（第１の基板）に転写対象のＴＦＴ素子４４のみが移し取られる（転写接着される）。そして、未露光のＴＦＴ素子４４は、ガラス基板４８（第１の基板）に転写接着されない。なお、未露光の接着樹脂４７は選択転写後に除去しておく。

【００２８】最後に、受動素子部の形成処理を行う。この受動素子部の形成処理は、図３（（ａ）平面図、（ｂ）断面図）に示すように、上記表示用トランジスタパネル用のガラス基板４８（第１の基板）上に画素ドットの配列ピッチｄｘ,ｄｙで転写接着されたＴＦＴ素子４４に、データ信号線４９に接続するためのソース電極配線６１、ドレイン電極配線６２を配線する。さらに、ドレイン電極配線６２に接続される液晶駆動用の画素電極６３を形成する。

【００２９】具体的には、配線間絶縁膜として、例えばポリイミド膜を用い、上述の図１（ｃ））におけるＴＦＴ素子分離エッチング等の際にＴＦＴ素子４４を保護するためにＴＦＴ素子４４を覆って形成されている例えばＳｉ酸化膜（図示せず）に、電極接続用のコンタクトホールをあけ、エッチングで形成する。そして、ガラス基板４８（第１の基板）上のデータ信号線４９および画素電極６３とＴＦＴ素子４４の各電極との接続を上記ソース電極配線６１、ドレイン電極配線６２を用いて行う。

【００３０】なお、画素電極６３は、ＴＦＴ素子４４が転写接着される前に、予めガラス基板４８（第１の基板）上に形成しておいても構わない。

【００３１】図４（ａ）、（ｂ）は、一般的な逆スタガ型ＴＦＴ素子の構造の一例の断面図および上面図である。

【００３２】逆スタガＴＦＴ素子では、ゲート電極１０１が、ソース電極１０２とドレイン電極１０３とに接続するチャネル層１０４の下側に、ゲート絶縁膜１０５および金属酸化膜１０６を介して形成されている。なお、１０７,１０８はオーミック･コンタクト層であり、１１０はＳｉ酸化膜１０９に形成されたソース電極１０２に対するコンタクトホールである。また、１１１はドレイン電極１０３に対するコンタクトホールであり、１１２はゲート電極に対するコンタクトホールである。

【００３３】なお、本発明のゲート電極部を除いた逆スタガ型ＴＦＴ素子の構造は、図４（ａ）からゲート電極部１０１および金属酸化膜１０６を除いた構造となっている。

【００３４】上述のように、本発明では、第１の基板上にフォトレジスト等でゲート電極パターンを形成した上に、ＴＦＴ素子４４を素子分離溝４５を隔ててピッチｄｘ/ｍ,ｄｙ/ｎで形成する。ここで、ｄｘ,ｄｙは画素ドットの配列ピッチであり、ｍ,ｎは「2」以上の自然数である。そして、ＴＦＴ素子４４側にＵＶ剥離樹脂４７で第３の基板を張り付けた後、第２の基板４１をエッチング除去し、ＴＦＴ素子分離エッチングを行って各ＴＦＴ素子４４を分離させる。そして、ＴＦＴ素子裏面の凹部と第１の基板上の走査信号線凸部を嵌合させることにより、第１の基板に接着樹脂５１で転写対象のＴＦＴ素子４４のみを選択的に接着させ、第３の基板側から転写対象のＴＦＴ素子４４の箇所に紫外線６２を選択的に照射してＵＶ剥離樹脂４７の接着力を低下させて、転写対象の（つまり、画素を構成する）ＴＦＴ素子４４のみを第１の基板に選択転写する。

【００３５】したがって、上記第３の基板上のピッチｄｘ/ｍ,ｄｙ/ｎのＴＦＴ素子４４の第１の基板上でのピッチｄｘ,ｄｙへの拡大転写の際の位置合せ精度を、従来の方法に比べて精度よくできるだけでなく、ＴＦＴ素子の４４姿勢制御も行うことが可能となる。

【００３６】また、受動素子部の形成処理においては、転写されたＴＦＴ素子４４裏面凹部と嵌合した走査信号線４９の凸部は、新たに配線することなしにＴＦＴアレイのゲート電極として機能するため、ゲート電極－走査信号線間の配線が不要となり、ＴＦＴアレイ毎の配線工程を短縮することが可能となると同時に、ゲート電極に対するコンタクトホール形成用余裕代が不要となるため、1つのＴＦＴ素子の大きさが小さくでき、生産性をより向上させることが可能となる。

【００３７】なお、上記では、第２の基板を水酸化カリウム水溶液でエッチング処理することによって除去しているが、本発明はこれに限定されるものではなく、例えば、第２の基板上にあらかじめ基板分離用の犠牲層を形成することによって第２の基板の分離・除去を行っても構わない。

【００３８】また、上記では、紫外線に対するＵＶ剥離樹脂の性質を利用して選択転写を行っている。しかしながら、本発明はこれに限定されるものではなく、例えば、転写側の基板の一方側、あるいは両側からの静電引力や電磁力を利用して選択転写を行っても構わない。

【００３９】

【発明の効果】以上より明らかなように、本発明に係る発明の表示用トランジスタアレイパネルの形成方法によれば、第２の基板または第３の基板から第１の基板（表

示用トランジスタアレイパネル）上への選択転写の際の位置合せ精度を、従来の方法に比べて精度よくできるだけでなく、ＴＦＴ素子の姿勢制御も行うことが可能となる。

【００４０】また、転写されたＴＦＴアレイと嵌合した走査信号線部分は、新たに配線することなしにＴＦＴアレイのゲートラインとして機能するため、ゲート電極と走査信号線の配線が不要となり、ＴＦＴアレイ毎の配線工程を短縮することが可能となる。

【図面の簡単な説明】

【図１】本発明に係る表示用トランジスタアレイパネルの形成方法の手順を示す図である。

【図２】本発明に係る表示用トランジスタアレイパネルの形成方法の手順を示す図である。

【図３】受動素子部形成処理の説明するための図である。

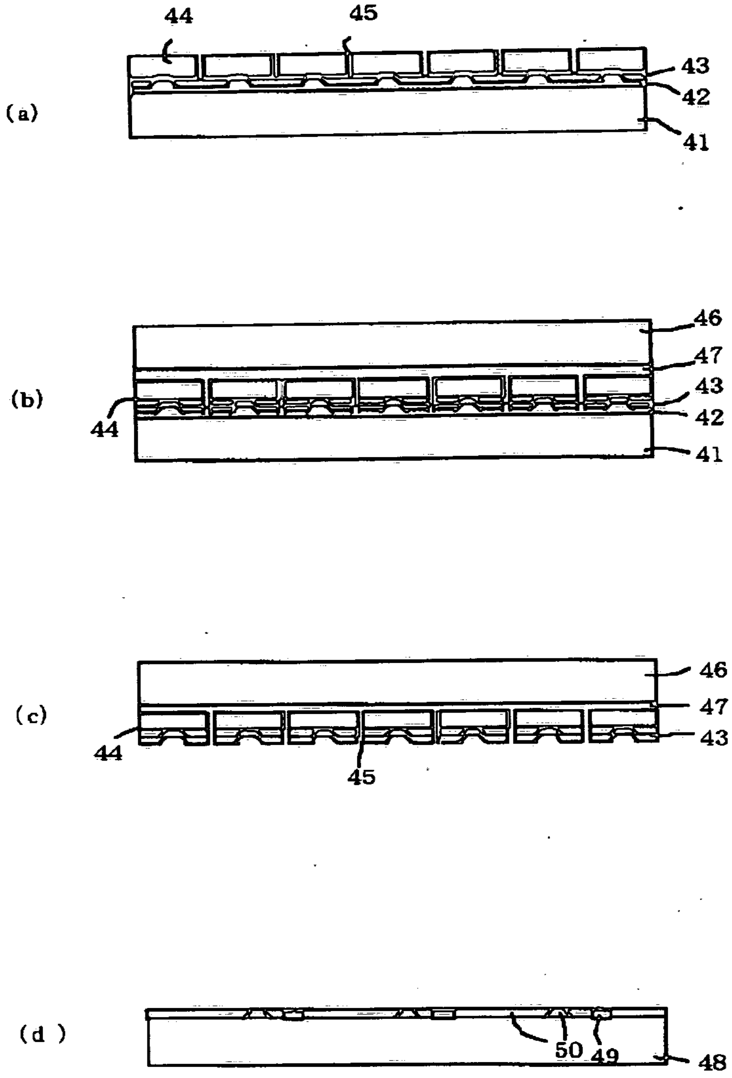
【図４】逆スタガ型ＴＦＴ素子の構造を示す図である。

【符号の説明】

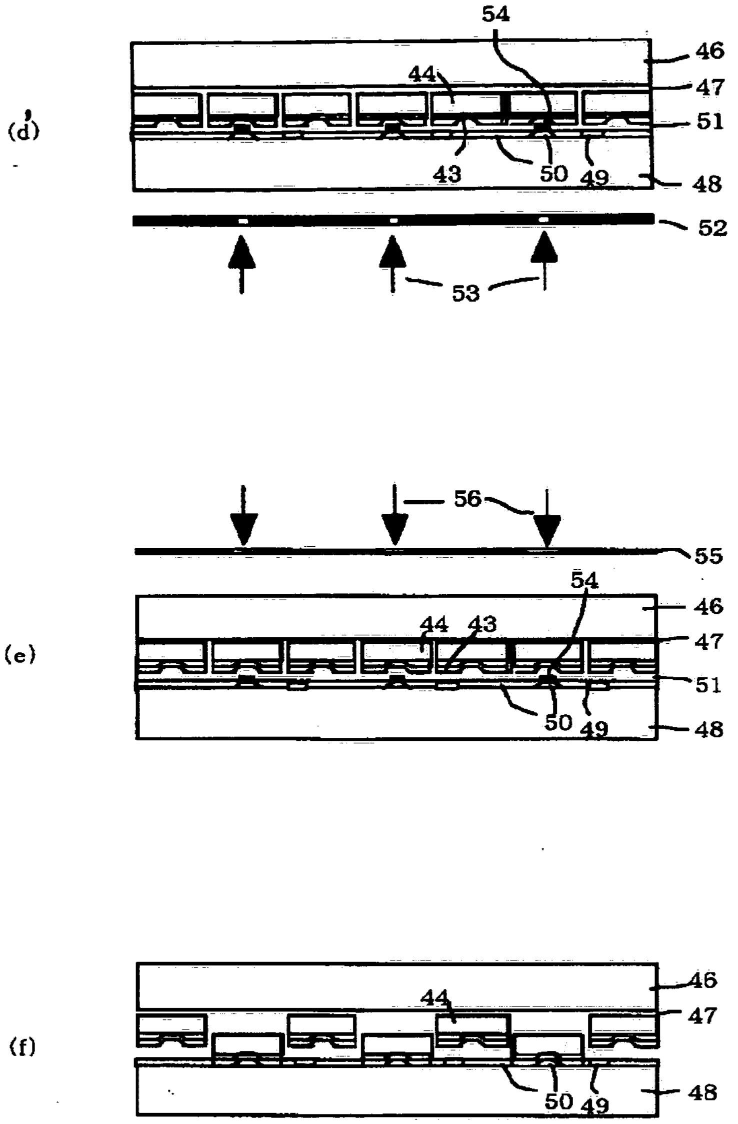
４１…Ｓｉ基板（第１の基板）
４２…フォトレジスト
４３、１０９…Ｓｉ酸化膜
４４…ＴＦＴ素子

４５…素子分離溝
４６…ガラス基板（第２の基板）
４７…ＵＶ剥離樹脂
４８…ガラス基板（第３の基板）
４９…データ信号線
５０…走査信号線
５１…接着樹脂
５４…接着樹脂半硬化部
５２、５５…フォトマスク
５３、５６…紫外線
６１…ソース電極配線
６２…ドレイン電極配線
６３…画素電極
６４…ゲート電極配線
１０１…ゲート電極
１０２…ソース電極
１０３…ドレイン電極
１０４…チャネル層
１０５…ゲート絶縁層
１０６…金属酸化層
１０７、１０８…オーミック・コンタクト層
１１２…コンタクトホール

【図１】

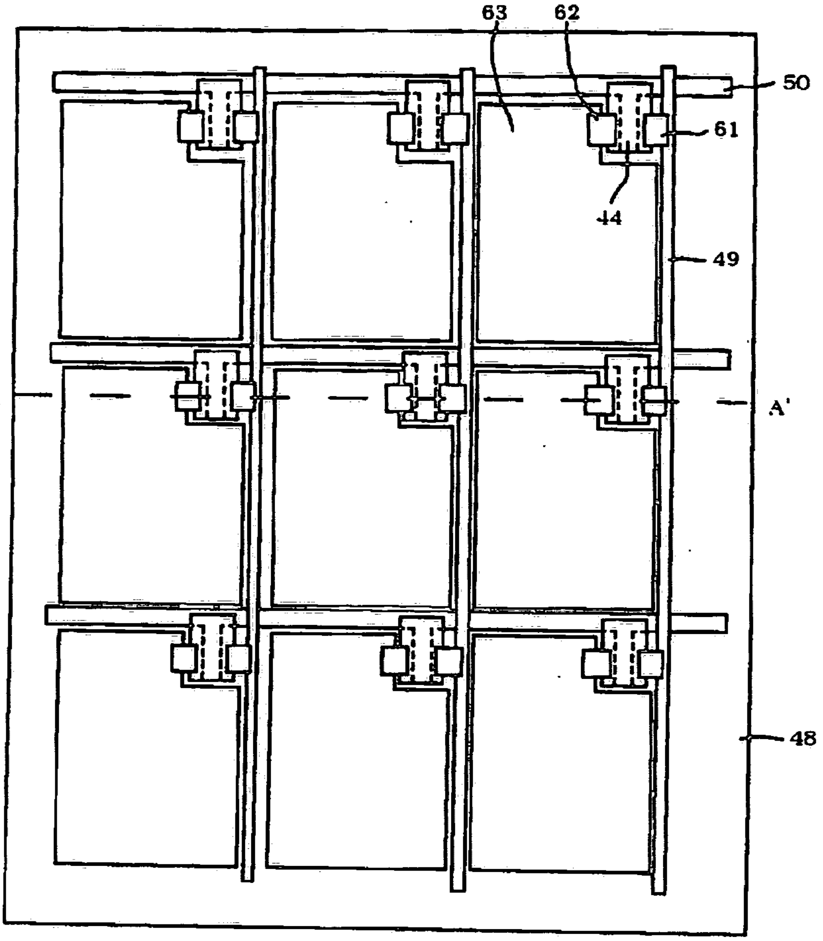


【図２】


(d)
(e)
(f)

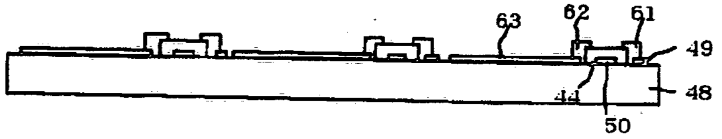
【図３】

(a)

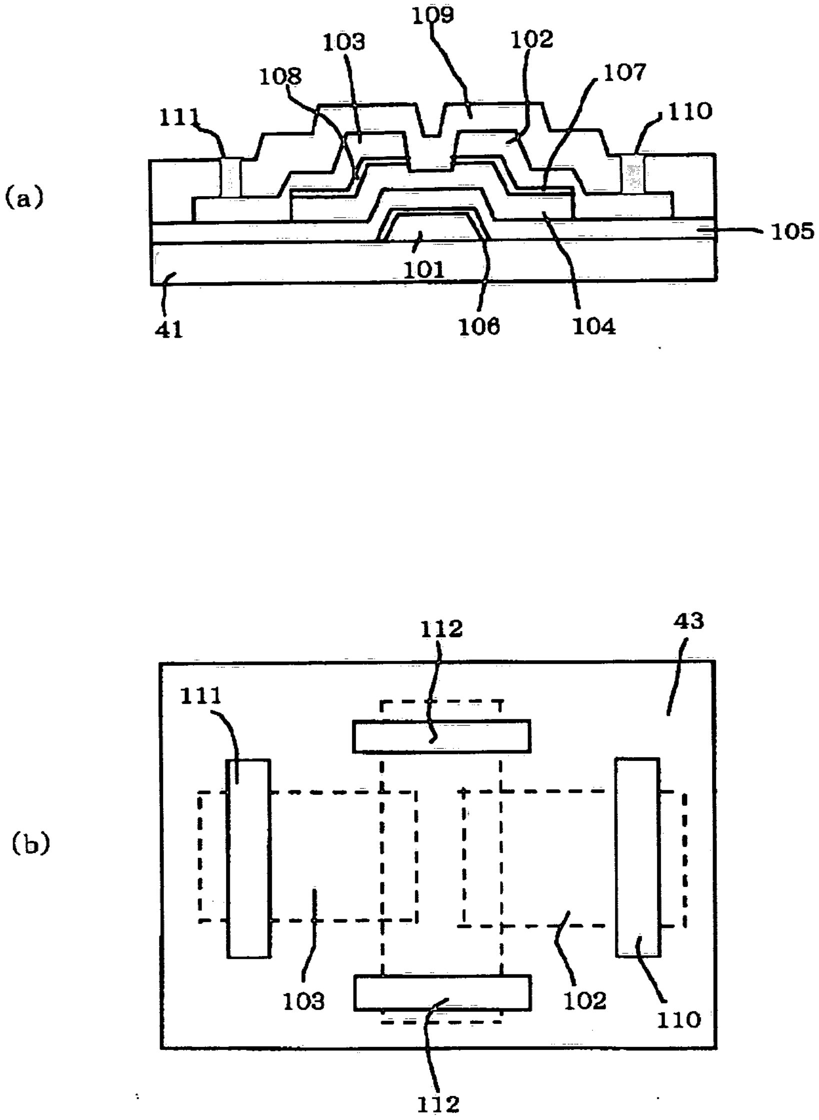


(b)

（A－A'断面図）



【図4】



フロントページの続き

Fターム(参考)　2H092 JA26 JA46 JB23 JB24 JB32
JB33 MA01 MA12 MA31 NA27
PA01
5C094 AA05 AA15 BA03 BA43 CA19
EA03 EA04 EA07 GB01
5F110 AA30 CC07 DD02 DD05 QQ16
5G435 AA17 AA18 BB12 CC09 KK05